

CIU32L071 LITE-80

核心板

用户手册

UM1007



北京中电华大电子设计有限责任公司
CEC Huada Electronic Design Co.,Ltd

声 明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权利。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已经核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

目录

1	简介	4
2	应用指南	5
2.1	硬件框图.....	5
2.2	硬件布局.....	6
2.3	默认配置.....	7
2.4	调试接口.....	7
2.5	LCD 屏	7
2.6	时钟源	8
2.6.1	LXTAL: 32.768KHz 时钟源.....	8
2.6.2	HXTAL 时钟源.....	9
2.7	ADC 采集.....	9
3	IO 资源分配	9
4	版本历史	13

表目录

表 2-1	默认跳线设置.....	7
表 3-1	MCU I/O 分配	9
表 4-1	版本更改履历.....	13

图目录

图 2-1	硬件框图.....	5
图 2-2	硬件布局.....	6
图 2-3	8COM*8SEG 段码 LCD 显示图	8

1 简介

LITE-80 核心板，板载 MCU 最小系统、调试接口、复位按键、LCD 屏等硬件资源和自定义接口，适用于搭建原型应用方案，快速评估芯片产品。

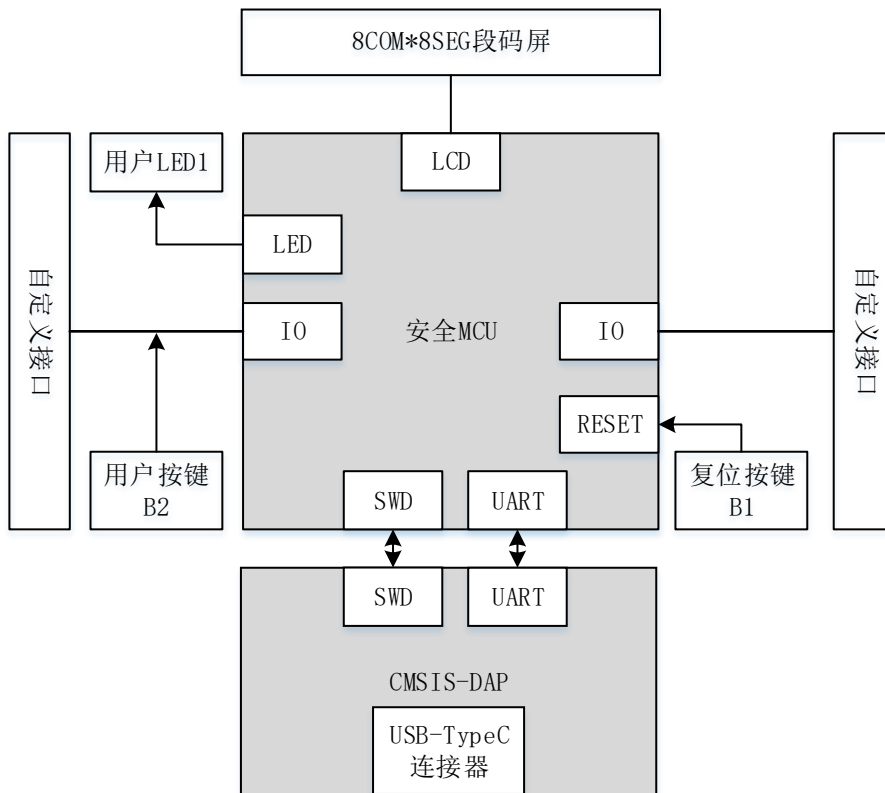
核心板特性：

- 8COM*8SEG LCD 屏
- 板载纽扣电池座，可作为备份电源供电
- 1 个用户 LED
- 1 个用户按键和 1 个复位按键
- 32.768KHz 低速晶体（LXTAL）和高速晶体（HXTAL）
- 自定义接口引出 MCU 所有 IO
- CMSIS-DAP 编程器/调试器
 - CMSIS-DAP Debug 端口支持程序下载和调试
 - CMSIS-DAP 虚拟 COM 端口支持串口通信和 Bootloader 模式程序下载
- 提供 SDK 软件库和例程，支持 Keil、IAR、Eclipse

2 应用指南

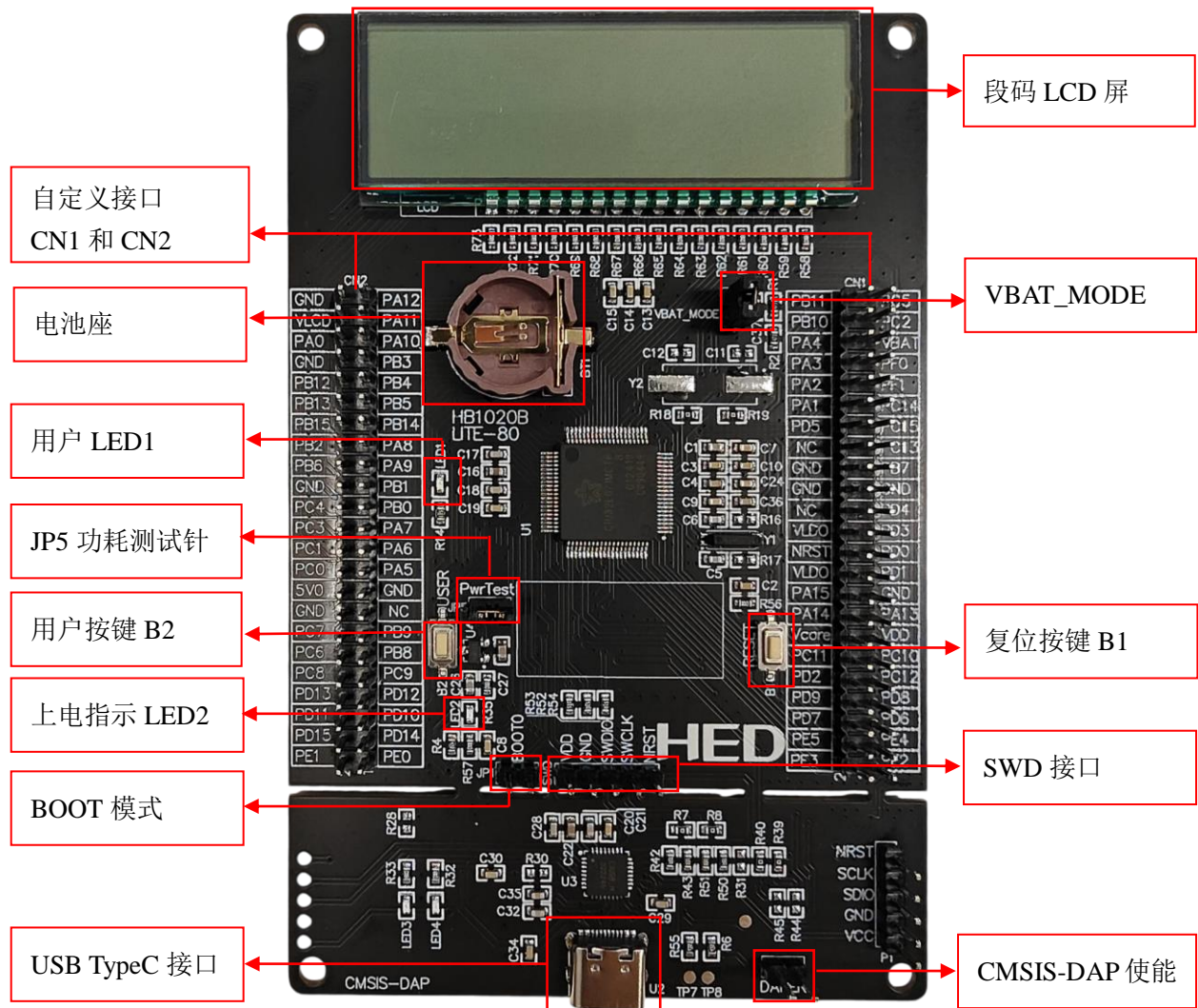
2.1 硬件框图

图 2 - 1 硬件框图



2.2 硬件布局

图 2-2 硬件布局



2.3 默认配置

LITE-80 核心板默认配置如下：

1. 检查核心板的默认跳线位置，参见下表：

表 2-1 默认跳线设置

跳线	定义	默认位置	描述
JP5	PwrTest 测量	ON	ON: 正常供电模式 OFF: 串接电流表进行功耗测试
VBAT_MODE	VBAT 模式配置	ON	ON: 非 VBAT 模式,VDD 短接 VBAT OFF: VBAT 模式, 可用电池座 BT1 给 VBAT 引脚供电
JP1	BOOT0 状态	OFF	OFF: 程序正常运行或 SWD 调试 ON: Bootloader 模式
DAPEN	CMSIS-DAP 使能	OFF	OFF: 禁用 CMSIS-DAP, 可连接 JLINK ON: CMSIS-DAP 可下载程序和调试

2. 核心板上电：使用 USB-TypeC 连接线连接核心板和 PC 机，此时核心板的电源指示灯 LED2 点亮，指示 5V 电源上电。

2.4 调试接口

核心板可通过跳线 DAPEN 选择调试接口：

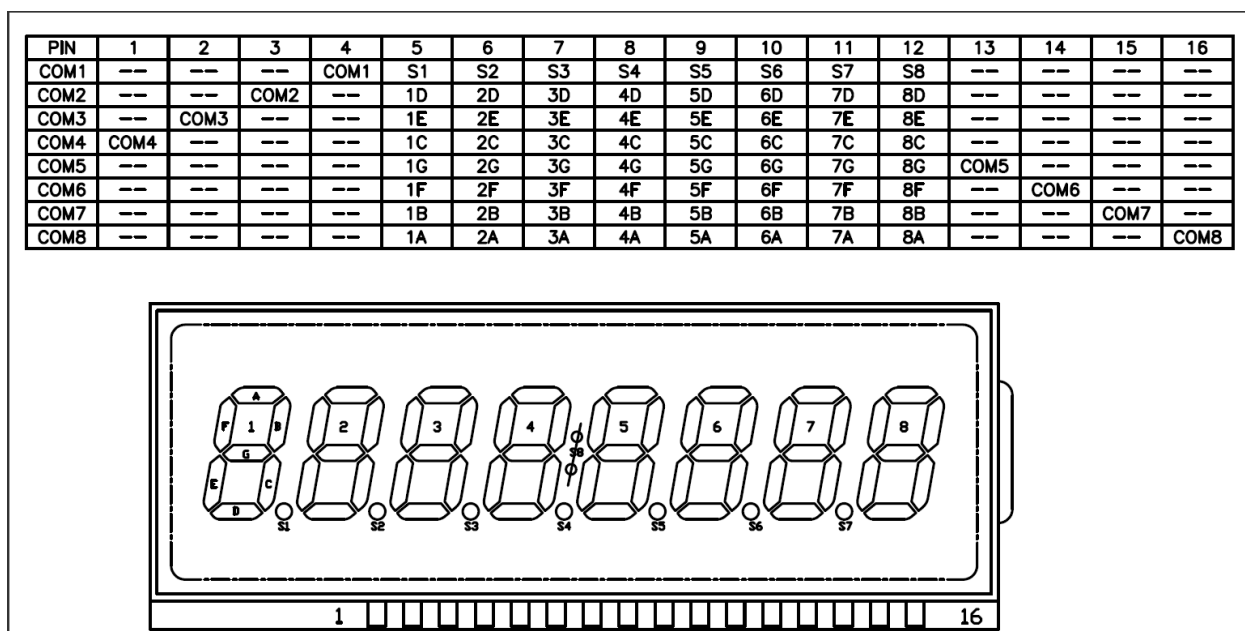
- JLINK：通过 SWD 接口连接
- 板载的 CMSIS-DAP：

CMSIS-DAP 集成在核心板上，通过 USB-TypeC 接口与 PC 连接，同时还提供了一个 USB 虚拟 COM 端口用于程序调试。PC 操作系统低于 Windows 10 以下系统需安装 HED Link_Driver_installer.zip 驱动后才可使用 CMSIS-DAP 虚拟 COM 端口。

LCD 屏

板载 8COM*8SEG 段码 LCD 屏，占空比 1/8duty、偏置 1/4bias、工作电压 5V，其真值表如下图所示。

图 2-3 8COM*8SEG 段码 LCD 显示图



核心板默认电荷泵模式驱动 LCD 屏，兼容片内电阻分压模式和片外电容分压模式。

2.5 时钟源

核心板具备如下两种时钟源：

- 低速外部时钟 LXTAL：32.768KHz 晶体可作为 RTC 时钟源
- 高速外部时钟 HXTAL：外部晶体作为 MCU 的时钟源

2.5.1 LXTAL：32.768KHz 时钟源

1. 外部晶体模式

板载 32.768KHz 外部晶体 Y1 作为时钟源，器件连接如下：

- 贴装 32.768KHz 晶体（默认贴装）
- 贴装负载电容 C5&C6（默认贴装）

2. 时钟引脚 LXTAL_IN/LXTAL_OUT(PC14/PC15) 用作 GPIO

不使用 LXTAL 时钟时，贴装 0Ω 电阻 R16 和 R17，可将 MCU 的 PC14 和 PC15 用作 GPIO。

2.5.2 HXTAL 时钟源

1. 外部晶体模式

当使用外部高速晶体作为 HXTAL 时钟时，器件连接如下：

- 贴装外部高速晶体
- 贴装电容 C11&C12

2. 外部时钟旁路模式

贴装 0Ω 电阻 R19，从 CN1 的 PIN39 输入时钟到 MCU 的 HXTAL_IN 引脚 (PF0)。

3. 时钟引脚 HXTAL_IN/HXTAL_OUT(PF0/ PF1) 用作 GPIO

贴装 0Ω 电阻 R18 和 R19（默认贴装），PF0 和 PF1 用作 GPIO。

2.6 ADC 采集

核心板提供板载电阻分压电路，可通过 ADC_IN2(PA3)采集板载 LDO 输出的电阻分压值。也可通过其他 ADC 通道采集外部输入电压。

核心板电路默认 ADC 参考电压为 VREFBUF，兼容外部供电和内部 V_{DDA} 。

3 IO 资源分配

表 3 - 1 MCU I/O 分配

引脚号	引脚名	主功能/可选特性
1	PD6	IO
2	PD7	IO
3	PD8	IO
4	PD9	IO
5	PC12	IO
6	PC13	用户按键/IO
7	PC14	LXTAL_IN/IO
8	PC15	LXTAL_OUT/IO
9	VBAT	VBAT
10	VCORE	VCORE
11	VSS/VSSA	GND

12	VDD/VDDA	VDD
13	VREF+/PA0	VREF+输入/VREFBUF 输出/IO
14	NRST	RESET
15	PF0	IO/HXTAL_IN
16	PF1	IO/HXTAL_OUT
17	PC0	IO
18	PC1	IO
19	PC2	IO
20	PA1	UART1_RX /IO
21	PA2	UART1_TX /IO
22	PA3	ADC_IN2
23	PC3	IO
24	PC4	IO
25	PC5	IO
26	PC6	IO
27	PA4	LCD_COM7/ IO
28	PA5	LCD_COM6/ IO
29	PA6	LCD_COM5/ IO
30	PA7	LCD_COM4/ IO
31	PB0	LCD_V1/IO
32	PB1	LCD_V2/IO
33	PB2	LCD_V3/IO
34	PD10	IO
35	PD11	IO
36	PD12	IO
37	PD13	IO
38	PB10	IO
39	PB11	IO
40	PB12	IO
41	PB13	IO
42	PB14	用户 LED1
43	PB15	IO
44	PA8	IO
45	PA9	IO

46	PC7	IO
47	PC8	IO
48	PD0	LCD_CAPL/IO
49	PD1	LCD_CAPH/IO
50	VDD/VDDA	VDD
51	VSS/VSSA	GND
52	VLCD/PF2	VLCD/IO
53	PA10	LCD_COM0/IO
54	PA11	LCD_COM1/IO
55	PA12	LCD_COM2/IO
56	PD14	IO
57	PD15	IO
58	PE0	IO
59	PE1	IO
60	PA13	SWDIO
61	PA14	SWCLK
62	PC9	LCD_COM3/IO/BOOT0
63	PA15	LCD_SEG0/IO
64	PC10	LCD_SEG1/IO
65	PC11	LCD_SEG2/IO
66	PB3	LCD_SEG3/IO
67	PB4	LCD_SEG4/IO
68	PB5	LCD_SEG5/IO
69	PB6	LCD_SEG6/IO
70	PB7	LCD_SEG7/IO
71	PB8	LCD_SEG8/IO
72	PB9	IO
73	PE2	IO
74	PE3	IO
75	PD2	IO
76	PD3	IO
77	PD4	IO
78	PD5	IO
79	PE4	IO



80	PE5	IO
----	-----	----

表 4 - 1 版本更改履历

日期	版本号	修改范围
2024-01-02	V1.0	初版。
2024-02-20	V1.1	1、修改章节 2.6.1。
2024-08-15	V1.2	1、更新图 2-2，核心板版本更新为 HB1020B：优化 VDD、VBAT 引脚滤波电容走线；LCD 的 COM 和 SEG 引脚添加 0R 电阻。